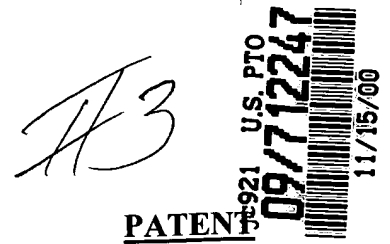


Docket No.: 43889-996



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of :
:
Keiichi KUSUMOTO et al. :
:
Serial No.: : Group Art Unit:
:
Filed: November 15, 2000 : Examiner:
:
For: SIGNAL TRANSMISSION CIRCUIT

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Assistant Commissioner for Patents
Washington, DC 20231

Sir:


In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claim the priority of:

Japanese Patent Application No. 11-325062,
filed November 16, 1999

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY


Michael E. Fogarty
Registration No. 36,139

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 MEF:klm
Date: November 15, 2000
Facsimile: (202) 756-8087

日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT

43889-996

NOVEMBER 15, 2000

KUSUMOTO et al.

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出 願 年 月 日
Date of Application:

1999年11月16日

出 願 番 号
Application Number:

平成11年特許願第325062号

出 氏 名 願 人
Applicant(s):

松下電器産業株式会社

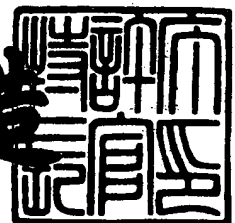


CERTIFIED COPY OF
PRIORITY DOCUMENT

2000年10月27日

特許庁長官
Commissioner,
Patent Office

及川耕造



【書類名】	特許願	
【整理番号】	5037600067	
【提出日】	平成11年11月16日	
【あて先】	特許庁長官 殿	
【国際特許分類】	H03K 19/00 H03K 11/00	
【発明者】		
【住所又は居所】	大阪府門真市大字門真 1 0 0 6 番地	松下電器産業株 式会社内
【氏名】	楠本 馨一	
【発明者】		
【住所又は居所】	大阪府門真市大字門真 1 0 0 6 番地	松下電器産業株 式会社内
【氏名】	森脇 俊幸	
【発明者】		
【住所又は居所】	大阪府門真市大字門真 1 0 0 6 番地	松下電器産業株 式会社内
【氏名】	初田 次康	
【発明者】		
【住所又は居所】	大阪府門真市大字門真 1 0 0 6 番地	松下電器産業株 式会社内
【氏名】	當房 哲朗	
【特許出願人】		
【識別番号】	000005821	
【氏名又は名称】	松下電器産業株式会社	
【代理人】		
【識別番号】	100077931	
【弁理士】		
【氏名又は名称】	前田 弘	

【選任した代理人】

【識別番号】 100094134

【弁理士】

【氏名又は名称】 小山 廣毅

【手数料の表示】

【予納台帳番号】 014409

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9601026

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 信号伝送回路

【特許請求の範囲】

【請求項 1】 準備期間を表す第 1 の論理レベルと、伝送期間を表す第 2 の論理レベルとを繰り返し呈するクロック信号に同期して、デジタル信号を第 1 の回路ブロックから第 2 の回路ブロックへ信号線を介して伝送するための信号伝送回路であって、

前記第 1 の回路ブロックは、

送信キャパシタと、

準備期間毎に与えられた入力デジタル信号の論理レベルに応じた電圧を前記送信キャパシタに設定するように、各準備期間では前記入力デジタル信号を前記送信キャパシタへ供給する導通状態となり、かつ各伝送期間では非導通状態となるように構成された入力スイッチと、

伝送期間毎に直前の準備期間のうちに設定された前記送信キャパシタの電圧に応じた微小な電圧変化を前記信号線に生じさせるように、各伝送期間では前記送信キャパシタを前記信号線に接続する導通状態となり、かつ各準備期間では非導通状態となるように構成された送信スイッチとを有する送信回路を備え、

前記第 2 の回路ブロックは、

前記信号線に接続されたインバータと、

前記インバータの入力端と出力端との間に介挿された受信キャパシタと、

準備期間毎に前記信号線並びに前記インバータの入力端及び出力端の各々の電圧を所定のイコライズ電圧に設定するように、各準備期間では前記インバータの入力端と出力端とを短絡させる導通状態となり、かつ各伝送期間では前記信号線の微小な電圧変化を増幅する前記インバータの動作を許容して前記受信キャパシタを充放電させる非導通状態となるように構成されたイコライズスイッチと、

各伝送期間では前記インバータの出力端の電圧を論理増幅して得た出力デジタル信号を供給し、かつ各準備期間では直前の伝送期間に得られた前記出力デジタル信号を保持するためのラッチとを有する受信回路を備えたことを特徴とする信号伝送回路。

【請求項 2】 請求項 1 記載の信号伝送回路において、

前記準備期間毎に前記イコライズ電圧の設定が完了した後は前記インバータを電源線から切り離すためのカットオフスイッチを更に備えたことを特徴とする信号伝送回路。

【請求項 3】 請求項 1 記載の信号伝送回路において、

前記伝送期間毎に前記インバータの出力端の電圧が確定した後は前記インバータを電源線から切り離すためのカットオフスイッチを更に備えたことを特徴とする信号伝送回路。

【請求項 4】 準備期間を表す第 1 の論理レベルと、伝送期間を表す第 2 の論理レベルとを繰り返し呈するクロック信号に同期して、第 1 の回路ブロック群のうちのいずれかから共通の信号線を介して第 2 の回路ブロックへデジタル信号を伝送するための信号伝送回路であって、

前記第 1 の回路ブロック群の各々は、

送信キャパシタと、

準備期間毎に与えられた入力デジタル信号の論理レベルに応じた電圧を前記送信キャパシタに設定するように、各準備期間では前記入力デジタル信号を前記送信キャパシタへ供給する導通状態となり、かつ各伝送期間では非導通状態となるように構成された入力スイッチと、

伝送期間毎に直前の準備期間のうちに設定された前記送信キャパシタの電圧に応じた微小な電圧変化を前記信号線に生じさせるように、各伝送期間では前記送信キャパシタを前記信号線に接続する導通状態となり、かつ各準備期間では非導通状態となるように構成された送信スイッチと、

対応する選択信号が活性化された場合には前記入力スイッチ及び前記送信スイッチの各々の状態を前記クロック信号に応答して変化させ、かつ前記選択信号が非活性化された場合には前記入力スイッチ及び前記送信スイッチの各々の状態を固定するための論理回路とを有する送信回路を備え、

前記第 2 の回路ブロックは、

前記信号線に接続されたインバータと、

前記インバータの入力端と出力端との間に介挿された受信キャパシタと、

準備期間毎に前記信号線並びに前記インバータの入力端及び出力端の各々の電圧を所定のイコライズ電圧に設定するように、各準備期間では前記インバータの入力端と出力端とを短絡させる導通状態となり、かつ各伝送期間では前記信号線の微小な電圧変化を増幅する前記インバータの動作を許容して前記受信キャパシタを充放電させる非導通状態となるように構成されたイコライズスイッチと、

各伝送期間では前記インバータの出力端の電圧を論理増幅して得た出力デジタル信号を供給し、かつ各準備期間では直前の伝送期間に得られた前記出力デジタル信号を保持するためのラッチとを有する受信回路を備えたことを特徴とする信号伝送回路。

【請求項 5】 準備期間を表す第 1 の論理レベルと、伝送期間を表す第 2 の論理レベルとを繰り返し呈するクロック信号に同期して、第 1 の回路ブロックから共通の信号線を介して第 2 の回路ブロック群のうちのいずれかへデジタル信号を伝送するための信号伝送回路であって、

前記第 1 の回路ブロックは、

送信キャパシタと、

準備期間毎に与えられた入力デジタル信号の論理レベルに応じた電圧を前記送信キャパシタに設定するように、各準備期間では前記入力デジタル信号を前記送信キャパシタへ供給する導通状態となり、かつ各伝送期間では非導通状態となるように構成された入力スイッチと、

伝送期間毎に直前の準備期間のうちに設定された前記送信キャパシタの電圧に応じた微小な電圧変化を前記信号線に生じさせるように、各伝送期間では前記送信キャパシタを前記信号線に接続する導通状態となり、かつ各準備期間では非導通状態となるように構成された送信スイッチとを有する送信回路を備え、

前記第 2 の回路ブロック群の各々は、

前記信号線に接続されたインバータと、

前記インバータの入力端と出力端との間に介挿された受信キャパシタと、

準備期間毎に前記信号線並びに前記インバータの入力端及び出力端の各々の電圧を所定のイコライズ電圧に設定するように、各準備期間では前記インバータの入力端と出力端とを短絡させる導通状態となり、かつ各伝送期間では前記信号線

の微小な電圧変化を増幅する前記インバータの動作を許容して前記受信キャパシタを充放電させる非導通状態となるように構成されたイコライズスイッチと、

各伝送期間では前記インバータの出力端の電圧を論理増幅して得た出力デジタル信号を供給し、かつ各準備期間では直前の伝送期間に得られた前記出力デジタル信号を保持するためのラッチと、

対応する選択信号が活性化された場合には前記イコライズスイッチの状態を前記クロック信号に応答して変化させ、かつ前記選択信号が非活性化された場合には前記イコライズスイッチを非導通状態に固定するための論理回路とを有する受信回路を備えたことを特徴とする信号伝送回路。

【請求項 6】 準備期間を表す第 1 の論理レベルと、伝送期間を表す第 2 の論理レベルとを繰り返し呈するクロック信号に同期して、第 1 の回路ブロック群から共通の信号線を介して第 2 の回路ブロックへ、前記第 1 の回路ブロック群の各々に与えられたデジタル信号に基づく論理演算結果を伝送するための信号伝送回路であって、

前記第 1 の回路ブロック群の各々は、

送信キャパシタと、

準備期間毎に所定の論理電圧を前記送信キャパシタに設定するように、各準備期間では前記論理電圧を前記送信キャパシタへ供給する導通状態となり、かつ各伝送期間では非導通状態となるように構成された入力スイッチと、

伝送期間毎に直前の準備期間のうちに設定された前記送信キャパシタの電圧に応じた微小な電圧変化を前記信号線に生じさせるように、各伝送期間では前記送信キャパシタを前記信号線に接続する導通状態となり、かつ各準備期間では非導通状態となるように構成された送信スイッチと、

対応する入力デジタル信号が活性化された場合には前記入力スイッチ及び前記送信スイッチの各々の状態を前記クロック信号に応答して変化させ、かつ前記入力デジタル信号が非活性化された場合には前記入力スイッチ及び前記送信スイッチの各々の状態を固定するための論理回路とを有する送信回路を備え、

前記第 2 の回路ブロックは、

前記信号線に接続されたインバータと、

前記インバータの入力端と出力端との間に介挿された受信キャパシタと、

準備期間毎に前記信号線並びに前記インバータの入力端及び出力端の各々の電圧を所定のイコライズ電圧に設定するように、各準備期間では前記インバータの入力端と出力端とを短絡させる導通状態となり、かつ各伝送期間では前記信号線の微小な電圧変化を増幅する前記インバータの動作を許容して前記受信キャパシタを充放電させる非導通状態となるように構成されたイコライズスイッチと、

各伝送期間では前記論理演算結果を表す出力デジタル信号が得られるように前記イコライズ電圧とは異なる論理しきい値電圧で論理判定を行って前記インバータの出力端の電圧を増幅し、かつ各準備期間では直前の伝送期間に得られた前記出力デジタル信号を保持するためのラッチとを有する受信回路を備えたことを特徴とする信号伝送回路。

【請求項 7】 第 1 の回路ブロックから第 2 の回路ブロックへ信号線を介してデジタル信号を伝送するための信号伝送回路であって、

前記第 1 の回路ブロックは、

前記信号線へ論理高レベルの出力をすべき高レベル期間と、前記信号線へ論理低レベルの出力をすべき低レベル期間とを検知するように、与えられた入力デジタル信号の論理レベルの遷移を逐次検出するための遷移検出回路と、

第 1 及び第 2 の送信キャパシタと、

低レベル期間毎に所定の論理高電圧を前記第 1 の送信キャパシタに設定するように、各低レベル期間では前記論理高電圧を前記第 1 の送信キャパシタへ供給する導通状態となり、かつ各高レベル期間では非導通状態となるように構成されたプリチャージスイッチと、

高レベル期間毎に直前の低レベル期間のうちに設定された前記第 1 の送信キャパシタの電圧に応じた正の微小な電圧変化を前記信号線に生じさせるように、各高レベル期間の開始時刻から一定の期間だけ前記第 1 の送信キャパシタを前記信号線に接続する導通状態となるように構成された第 1 の送信スイッチと、

高レベル期間毎に所定の論理低電圧を前記第 2 の送信キャパシタに設定するように、各高レベル期間では前記論理低電圧を前記第 2 の送信キャパシタへ供給する導通状態となり、かつ各低レベル期間では非導通状態となるように構成された

プリディスチャージスイッチと、

低レベル期間毎に直前の高レベル期間のうちに設定された前記第 2 の送信キャパシタの電圧に応じた負の微小な電圧変化を前記信号線に生じさせるように、各低レベル期間の開始時刻から一定の期間だけ前記第 2 の送信キャパシタを前記信号線に接続する導通状態となるように構成された第 2 の送信スイッチとを有する送信回路を備え、

前記第 2 の回路ブロックは、

前記信号線の微小な電圧変化を増幅するためのインバータと、

前記インバータの入力端と出力端との間に介挿された受信キャパシタと、

前記インバータの入力端と出力端との間に介挿されたイコライズスイッチと、

前記インバータの出力端の電圧から前記信号線の正の微小な電圧変化を検出したときに第 1 の検出信号を供給するための第 1 のレベル回路と、

前記インバータの出力端の電圧から前記信号線の負の微小な電圧変化を検出したときに第 2 の検出信号を供給するための第 2 のレベル回路と、

前記入力デジタル信号の論理レベルに応じた論理レベルを有する出力デジタル信号を供給するように、前記第 1 及び第 2 の検出信号に応じてセット及びリセットされるラッチと、

前記第 1 の検出信号又は前記第 2 の検出信号が供給された後に一定の期間だけ前記信号線並びに前記インバータの入力端及び出力端の各々の電圧を所定のイコライズ電圧に設定するように前記イコライズスイッチを導通状態にさせ、その他の期間では前記信号線の微小な電圧変化を増幅する前記インバータの動作を許容して前記受信キャパシタを充放電させるように前記イコライズスイッチを非導通状態にさせるためのイコライズ制御回路とを有する受信回路を備えたことを特徴とする信号伝送回路。

【請求項 8】 請求項 7 記載の信号伝送回路において、

前記第 1 のレベル回路は前記イコライズ電圧より低い論理しきい値電圧を有するインバータで、前記第 2 のレベル回路は前記イコライズ電圧より高い論理しきい値電圧を有するインバータでそれぞれ構成されたことを特徴とする信号伝送回路。

【請求項 9】 請求項 7 記載の信号伝送回路において、

前記受信回路は、前記イコライズスイッチを強制的に導通状態にさせるためのリセット信号の入力端子を更に有することを特徴とする信号伝送回路。

【請求項 10】 デジタル信号を信号線へ送信する送信回路であって、

前記信号線へ論理高レベルの出力をすべき高レベル期間と、前記信号線へ論理低レベルの出力をすべき低レベル期間とを検知するように、与えられた入力デジタル信号の論理レベルの遷移を逐次検出するための遷移検出回路と、

第 1 及び第 2 の送信キャパシタと、

低レベル期間毎に所定の論理高電圧を前記第 1 の送信キャパシタに設定するように、各低レベル期間では前記論理高電圧を前記第 1 の送信キャパシタへ供給する導通状態となり、かつ各高レベル期間では非導通状態となるように構成されたプリチャージスイッチと、

高レベル期間毎に直前の低レベル期間のうちに設定された前記第 1 の送信キャパシタの電圧に応じた正の微小な電圧変化を前記信号線に生じさせるように、各高レベル期間の開始時刻から一定の期間だけ前記第 1 の送信キャパシタを前記信号線に接続する導通状態となるように構成された第 1 の送信スイッチと、

高レベル期間毎に所定の論理低電圧を前記第 2 の送信キャパシタに設定するように、各高レベル期間では前記論理低電圧を前記第 2 の送信キャパシタへ供給する導通状態となり、かつ各低レベル期間では非導通状態となるように構成されたプリディスチャージスイッチと、

低レベル期間毎に直前の高レベル期間のうちに設定された前記第 2 の送信キャパシタの電圧に応じた負の微小な電圧変化を前記信号線に生じさせるように、各低レベル期間の開始時刻から一定の期間だけ前記第 2 の送信キャパシタを前記信号線に接続する導通状態となるように構成された第 2 の送信スイッチとを備えたことを特徴とする送信回路。

【請求項 11】 デジタル信号を信号線から受信する受信回路であって、

前記信号線の微小な電圧変化を増幅するためのインバータと、

前記インバータの入力端と出力端との間に介挿された受信キャパシタと、

前記インバータの入力端と出力端との間に介挿されたイコライズスイッチと、

前記インバータの出力端の電圧から前記信号線の正の微小な電圧変化を検出したときに第 1 の検出信号を供給するための第 1 のレベル回路と、

前記インバータの出力端の電圧から前記信号線の負の微小な電圧変化を検出したときに第 2 の検出信号を供給するための第 2 のレベル回路と、

前記入力デジタル信号の論理レベルに応じた論理レベルを有する出力デジタル信号を供給するように、前記第 1 及び第 2 の検出信号に応じてセット及びリセットされるラッチと、

前記第 1 の検出信号又は前記第 2 の検出信号が供給された後に一定の期間だけ前記信号線並びに前記インバータの入力端及び出力端の各々の電圧を所定のイコライズ電圧に設定するように前記イコライズスイッチを導通状態にさせ、その他の期間では前記信号線の微小な電圧変化を増幅する前記インバータの動作を許容して前記受信キャパシタを充放電させるように前記イコライズスイッチを非導通状態にさせるためのイコライズ制御回路とを備えたことを特徴とする受信回路。

【請求項 1 2】 第 1 の回路ブロックから共通の信号線を介して第 2 の回路ブロック群の各々へクロック信号を伝送するための信号伝送回路であって、

前記第 1 の回路ブロックは、

前記信号線へ論理高レベルの出力をすべき高レベル期間と、前記信号線へ論理低レベルの出力をすべき低レベル期間とを検知するように、与えられた入力クロック信号の論理レベルの遷移を逐次検出するための遷移検出回路と、

第 1 及び第 2 の送信キャパシタと、

低レベル期間毎に所定の論理高電圧を前記第 1 の送信キャパシタに設定するように、各低レベル期間では前記論理高電圧を前記第 1 の送信キャパシタへ供給する導通状態となり、かつ各高レベル期間では非導通状態となるように構成されたプリチャージスイッチと、

高レベル期間毎に直前の低レベル期間のうちに設定された前記第 1 の送信キャパシタの電圧に応じた正の微小な電圧変化を前記信号線に生じさせるように、各高レベル期間の開始時刻から一定の期間だけ前記第 1 の送信キャパシタを前記信号線に接続する導通状態となるように構成された第 1 の送信スイッチと、

高レベル期間毎に所定の論理低電圧を前記第 2 の送信キャパシタに設定するよ

うに、各高レベル期間では前記論理低電圧を前記第 2 の送信キャパシタへ供給する導通状態となり、かつ各低レベル期間では非導通状態となるように構成されたプリディスチャージスイッチと、

低レベル期間毎に直前の高レベル期間のうちに設定された前記第 2 の送信キャパシタの電圧に応じた負の微小な電圧変化を前記信号線に生じさせるように、各低レベル期間の開始時刻から一定の期間だけ前記第 2 の送信キャパシタを前記信号線に接続する導通状態となるように構成された第 2 の送信スイッチとを有する送信回路を備え、

前記第 2 の回路ブロック群の各々は、

前記信号線の微小な電圧変化を増幅するためのインバータと、

前記インバータの入力端と出力端との間に介挿された受信キャパシタと、

前記インバータの入力端と出力端との間に介挿されたイコライズスイッチと、

前記インバータの出力端の電圧から前記信号線の正の微小な電圧変化を検出したときに第 1 の検出信号を供給するための第 1 のレベル回路と、

前記インバータの出力端の電圧から前記信号線の負の微小な電圧変化を検出したときに第 2 の検出信号を供給するための第 2 のレベル回路と、

前記入力クロック信号の論理レベルに応じた論理レベルを有する出力クロック信号を供給するように、前記第 1 及び第 2 の検出信号に応じてセット及びリセットされるラッチと、

前記第 1 の検出信号又は前記第 2 の検出信号が供給された後に一定の期間だけ前記信号線並びに前記インバータの入力端及び出力端の各々の電圧を所定のイコライズ電圧に設定するように前記イコライズスイッチを導通状態にさせ、その他の期間では前記信号線の微小な電圧変化を増幅する前記インバータの動作を許容して前記受信キャパシタを充放電させるように前記イコライズスイッチを非導通状態にさせるためのイコライズ制御回路とを有する受信回路を備えたことを特徴とする信号伝送回路。

【請求項 1 3】 第 1 の回路ブロックから共通の信号線を介して第 2 の回路ブロック群の各々へクロック信号を伝送するための信号伝送回路であって、

前記第 1 の回路ブロックは、

送信キャパシタと、

与えられた入力クロック信号が第 1 の論理レベルを呈する準備期間毎に所定の論理電圧を前記送信キャパシタに設定するように、各準備期間では前記論理電圧を前記送信キャパシタへ供給する導通状態となり、かつ前記入力クロック信号が第 2 の論理レベルを呈する各伝送期間では非導通状態となるように構成された入力スイッチと、

伝送期間毎に直前の準備期間のうちに設定された前記送信キャパシタの電圧に応じた微小な電圧変化を前記信号線に生じさせるように、各伝送期間では前記送信キャパシタを前記信号線に接続する導通状態となり、かつ各準備期間では非導通状態となるように構成された送信スイッチとを有する送信回路を備え、

前記第 2 の回路ブロック群の各々は、

前記信号線の微小な電圧変化を増幅するためのインバータと、

前記インバータの入力端と出力端との間に介挿された受信キャパシタと、

前記インバータの入力端と出力端との間に介挿されたイコライズスイッチと、

前記インバータの出力端の電圧から前記信号線の微小な電圧変化を検出したときに出力クロック信号のパルスを供給するためのレベル回路と、

前記第 1 の検出信号又は前記第 2 の検出信号が供給された後に一定の期間だけ前記信号線並びに前記インバータの入力端及び出力端の各々の電圧を所定のイコライズ電圧に設定するように前記イコライズスイッチを導通状態にさせ、その他の期間では前記信号線の微小な電圧変化を増幅する前記インバータの動作を許容して前記受信キャパシタを充放電させるように前記イコライズスイッチを非導通状態にさせるためのイコライズ制御回路とを有する受信回路を備えたことを特徴とする信号伝送回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、デジタル回路の設計技術に関し、特に信号伝送の高速化技術及び回路の低消費電力化技術に関するものである。

【0002】

【従来の技術】

マルチメディア時代にあつて、据え置き型の機器ではより高速動作性能が、携帯型の機器ではより低消費電力化が求められている。それに伴い半導体集積回路の高速化、低消費電力化に対する要求はますます大きくなっている。一方、半導体プロセスの微細化及び配線の多層化に伴い、配線の寄生素子が設計に与える影響は非常に大きくなってきている。例えば、メタル配線の薄膜化に伴う配線抵抗値及び配線インダクタンス値の増大や、配線ピッチの縮小に伴う配線容量値の増大により、半導体集積回路の高速化、低消費電力化が阻害される状況が発生している。

【0003】

特開平 2 - 2 8 5 7 1 1 号公報には、デジタル信号の伝送のための信号伝送回路が開示されている。これは、大きい負荷容量を有する信号線の高速駆動を実現するために、信号線の電圧を論理高電圧 (V_{dd}) と論理低電圧 (V_{ss}) との中間電圧に設定したうえで、当該信号線をインバータで論理高電圧又は論理低電圧に駆動するものである。

【0004】

【発明が解決しようとする課題】

上記従来の信号伝送回路では、信号線の電圧振幅 ($V_{ss}=0$ とすると電圧振幅は $V_{dd}/2$ である。) が大きいので、当該信号線の中間電圧への設定に要する時間が長くなり、かつ消費電力が大きくなる。

【0005】

本発明の目的は、大きい負荷容量を有する信号線を介してデジタル信号を伝送するための信号伝送回路において、高速伝送及び低消費電力を実現することを実現することにある。

【0006】

【課題を解決するための手段】

上記目的を達成するために、本発明に係る信号伝送回路は、同期型又は非同期型の信号伝送回路において、送信キャパシタと受信キャパシタとの間の効率的な電荷の授受を実現することにより、信号線の電圧振幅を低減することとしたもの

である。

【0007】

具体的に説明すると、本発明に係る第1の信号伝送回路は、準備期間を表す第1の論理レベルと、伝送期間を表す第2の論理レベルとを繰り返し呈するクロック信号に同期して、デジタル信号を第1の回路ブロックから第2の回路ブロックへ信号線を介して伝送するための同期型信号伝送回路である。しかも、第1の回路ブロックは、送信キャパシタと、準備期間毎に与えられた入力デジタル信号の論理レベルに応じた電圧を前記送信キャパシタに設定するように、各準備期間では前記入力デジタル信号を前記送信キャパシタへ供給する導通状態となり、かつ各伝送期間では非導通状態となるように構成された入力スイッチと、伝送期間毎に直前の準備期間のうちに設定された前記送信キャパシタの電圧に応じた微小な電圧変化を前記信号線に生じさせるように、各伝送期間では前記送信キャパシタを前記信号線に接続する導通状態となり、かつ各準備期間では非導通状態となるように構成された送信スイッチとを有する送信回路を備える。また、第2の回路ブロックは、前記信号線に接続されたインバータと、該インバータの入力端と出力端との間に介挿された受信キャパシタと、準備期間毎に前記信号線並びに前記インバータの入力端及び出力端の各々の電圧を所定のイコライズ電圧に設定するように、各準備期間では前記インバータの入力端と出力端とを短絡させる導通状態となり、かつ各伝送期間では前記信号線の微小な電圧変化を増幅する前記インバータの動作を許容して前記受信キャパシタを充放電させる非導通状態となるように構成されたイコライズスイッチと、各伝送期間では前記インバータの出力端の電圧を論理増幅して得た出力デジタル信号を供給し、かつ各準備期間では直前の伝送期間に得られた前記出力デジタル信号を保持するためのラッチとを有する受信回路を備えたものである。

【0008】

また、本発明に係る第2の信号伝送回路は、第1の回路ブロックから第2の回路ブロックへ信号線を介してデジタル信号を伝送するための非同期型信号伝送回路である。しかも、第1の回路ブロックは、前記信号線へ論理高レベルの出力をすべき高レベル期間と、前記信号線へ論理低レベルの出力をすべき低レベル期間

とを検知するように、与えられた入力デジタル信号の論理レベルの遷移を逐次検出するための遷移検出回路と、第 1 及び第 2 の送信キャパシタと、低レベル期間毎に所定の論理高電圧を前記第 1 の送信キャパシタに設定するように、各低レベル期間では前記論理高電圧を前記第 1 の送信キャパシタへ供給する導通状態となり、かつ各高レベル期間では非導通状態となるように構成されたプリチャージスイッチと、高レベル期間毎に直前の低レベル期間のうちに設定された前記第 1 の送信キャパシタの電圧に応じた正の微小な電圧変化を前記信号線に生じさせるように、各高レベル期間の開始時刻から一定の期間だけ前記第 1 の送信キャパシタを前記信号線に接続する導通状態となるように構成された第 1 の送信スイッチと、高レベル期間毎に所定の論理低電圧を前記第 2 の送信キャパシタに設定するように、各高レベル期間では前記論理低電圧を前記第 2 の送信キャパシタへ供給する導通状態となり、かつ各低レベル期間では非導通状態となるように構成されたプリディスチャージスイッチと、低レベル期間毎に直前の高レベル期間のうちに設定された前記第 2 の送信キャパシタの電圧に応じた負の微小な電圧変化を前記信号線に生じさせるように、各低レベル期間の開始時刻から一定の期間だけ前記第 2 の送信キャパシタを前記信号線に接続する導通状態となるように構成された第 2 の送信スイッチとを有する送信回路を備える。また、第 2 の回路ブロックは、前記信号線の微小な電圧変化を増幅するためのインバータと、該インバータの入力端と出力端との間に介挿された受信キャパシタと、前記インバータの入力端と出力端との間に介挿されたイコライズスイッチと、前記インバータの出力端の電圧から前記信号線の正の微小な電圧変化を検出したときに第 1 の検出信号を供給するための第 1 のレベル回路と、前記インバータの出力端の電圧から前記信号線の負の微小な電圧変化を検出したときに第 2 の検出信号を供給するための第 2 のレベル回路と、前記入力デジタル信号の論理レベルに応じた論理レベルを有する出力デジタル信号を供給するように、前記第 1 及び第 2 の検出信号に応じてセット及びリセットされるラッチと、前記第 1 の検出信号又は前記第 2 の検出信号が供給された後に一定の期間だけ前記信号線並びに前記インバータの入力端及び出力端の各々の電圧を所定のイコライズ電圧に設定するように前記イコライズスイッチを導通状態にさせ、その他の期間では前記信号線の微小な電圧変化を増幅

する前記インバータの動作を許容して前記受信キャパシタを充放電させるように前記イコライズスイッチを非導通状態にさせるためのイコライズ制御回路とを有する受信回路を備えたものである。

【 0 0 0 9 】

【発明の実施の形態】

以下、図面を参照しながら、本発明の実施形態について説明する。

【 0 0 1 0 】

図 1 は、本発明に係る同期型信号伝送回路の構成例を示している。図 1 の信号伝送回路は、クロック (C L K) 信号に同期して、第 1 の回路ブロック B K 1 から第 2 の回路ブロック B K 2 へ信号線 3 0 を介してデジタル信号を伝送するための回路である。両回路ブロック B K 1, B K 2 は、同一の半導体集積回路の中にあってもよいし、各々異なる半導体集積回路の中にあってもよい。信号線 3 0 は、配線抵抗 R と配線容量 C との組み合わせに係る等価回路で図示されている。なお、以下の説明では、C L K 信号の論理高レベル (H レベル) 及び論理低レベル (L レベル) がそれぞれ準備期間及び伝送期間を表すものとする。ここに、準備期間は信号伝送の準備のための期間を、伝送期間は信号伝送の実行のための期間をそれぞれ意味する。

【 0 0 1 1 】

第 1 の回路ブロック B K 1 は、送信すべきデジタル信号を当該回路ブロック B K 1 の内部から受け取るための入力端子 T I N と、信号線 3 0 に接続された出力端子 T O U T とを有する送信回路 1 0 0 を備えている。この送信回路 1 0 0 は、送信キャパシタ 1 0 1 と、入力スイッチ 1 0 2 と、送信スイッチ 1 0 3 と、インバータ 1 0 4 とで構成されている。入力スイッチ 1 0 2 は、各準備期間 (C L K = H の期間) では入力デジタル信号を送信キャパシタ 1 0 1 へ供給する導通状態となり、かつ各伝送期間 (C L K = L の期間) では非導通状態となるように構成されている。つまり、準備期間毎に、与えられた入力デジタル信号の論理レベルに応じた電圧が送信キャパシタ 1 0 1 に設定される。送信スイッチ 1 0 3 は、各伝送期間 (C L K = L の期間) では送信キャパシタ 1 0 1 を信号線 3 0 に接続する導通状態となり、かつ各準備期間 (C L K = H の期間) では非導通状態となる

ように構成されている。つまり、伝送期間毎に、直前の準備期間のうちに設定された送信キャパシタ 1 0 1 の電圧に応じた微小な電圧変化が信号線 3 0 に生じるようになっている。

【 0 0 1 2 】

第 2 の回路ブロック B K 2 は、信号線 3 0 に接続された入力端子 R I N と、受信したデジタル信号を当該回路ブロック B K 2 の内部へ供給するための出力端子 R O U T とを有する受信回路 2 0 0 を備えている。この受信回路 2 0 0 は、C M O S 構成のインバータ 3 0 5 を有する増幅回路 3 0 0 と、ラッチ 3 1 0 とで構成されている。2 0 1 は受信キャパシタ、2 0 4 はイコライズスイッチである。インバータ 3 0 5 は、V d d 電源線と V s s 電源線との間に介挿された P チャネル M O S トランジスタ 2 0 2 及び N チャネル M O S トランジスタ 2 0 3 で構成され、入力端が信号線 3 0 に接続されている。受信キャパシタ 2 0 1 及びイコライズスイッチ 2 0 4 は、それぞれインバータ 3 0 5 の入力端と出力端との間に介挿されている。イコライズスイッチ 2 0 4 は、各準備期間 (C L K = H の期間) ではインバータ 3 0 5 の入力端と出力端とを短絡させる導通状態となり、かつ各伝送期間 (C L K = L の期間) では信号線 3 0 の微小な電圧変化を増幅するインバータ 3 0 5 の動作を許容して受信キャパシタ 2 0 1 を充放電させる非導通状態となるように構成されている。準備期間毎にイコライズスイッチ 2 0 4 が導通することにより、信号線 3 0 並びにインバータ 3 0 5 の入力端及び出力端の各々の電圧は、準備期間毎に所定のイコライズ電圧 V e q に設定される。ここに、V e q はインバータ 3 0 5 の入出力特性に応じて決まる電圧である。ラッチ 3 1 0 は、各伝送期間 (C L K = L の期間) ではインバータ 3 0 5 の出力端の電圧を論理増幅して得た出力デジタル信号を供給し、かつ各準備期間 (C L K = H の期間) では直前の伝送期間に得られた出力デジタル信号を保持するように、例えば、2 個のスイッチ 2 0 5, 2 0 8 と、3 個のインバータ 2 0 6, 2 0 7, 2 0 9 とで構成される。なお、受信キャパシタ 2 0 1 は、C M O S インバータ 3 0 5 を構成する両トランジスタ 2 0 2, 2 0 3 の各々のゲート・ドレイン間の寄生容量によって実現してもよい。

【 0 0 1 3 】

図1の信号伝送回路によれば、準備期間毎に、受信回路200の中のイコライズスイッチ204のはたらきにより、信号線30の電圧がイコライズ電圧 V_{eq} に設定される。しかも、ある準備期間について考えると、この期間に送信回路100に与えられた入力デジタル信号の論理レベルに応じた量の電荷が送信キャパシタ101に蓄積される。次の伝送期間における信号線30の電圧は、直前の準備期間のうちに送信キャパシタ101に蓄積された電荷の量に応じて、イコライズ電圧 V_{eq} から $+\Delta V$ 又は $-\Delta V$ だけ微小に変化する。ここに、 ΔV は上記従来例の信号線電圧振幅($V_{dd}/2$)より小さい電圧振幅である。つまり、図1の構成によれば、入力デジタル信号が信号線30上の小振幅信号に変換されるので、高速伝送及び低消費電力を実現することができる。

【0014】

ここで、インバータ305の電圧利得を G ($=-5 \sim -1000$) とすると、入力端子 R_{IN} から見た受信回路200の入力容量値は、受信キャパシタ201の実際の容量値の $(1-G)$ 倍になるので、送信キャパシタ101の容量値よりも、また配線容量 C の合計値よりもかなり大きくすることができる。したがって、伝送期間毎に送信キャパシタ101から信号線30へ供給された電荷のほとんど全てが受信キャパシタ201へ移動する。

【0015】

送信キャパシタ101の容量値は、小さい値に設定される。伝送期間における送信回路100の充放電の時定数は、送信キャパシタ101の容量値と、送信スイッチ103のオン抵抗値との積により決まるから、非常に小さい。したがって、送信キャパシタ101から受信キャパシタ201へ電荷が急速に移動する。しかも、送信信号のエネルギーが小さいので、信号線30にインダクタンス成分が含まれている場合でも、信号の反射を起こすことがほとんどない。加えて、送信キャパシタ101の容量値が小さいので、電源インダクタンスや配線インダクタンスの影響を受けにくいという効果もある。

【0016】

なお、図1の送信回路100及び受信回路200は、1個のマスラスレーブ型フリップフロップを構成するものとみなすことができる。つまり、長配線（信号

線 3 0) をマスタラッチ (送信回路 1 0 0) とスレーブラッチ (受信回路 2 0 0) との間に配置することによって、該長配線をインバータで駆動する場合に比べて消費電力を削減できる。信号線 3 0 に複数の受信回路 2 0 0 を接続することも可能である。

【 0 0 1 7 】

図 2 は、図 1 中の受信回路 2 0 0 の変形例を示している。図 2 の受信回路 2 0 0 a は、準備期間 (CLK = H の期間) 毎に CMOS インバータ 3 0 5 によるイコライズ電圧 V_{eq} の設定が完了した後に当該 CMOS インバータ 3 0 5 を V_{ss} 電源線から切り離すためのカットオフスイッチ 2 1 0 を備えている。図 2 中のインバータ 2 1 1 は、CLK 信号を遅延させるための遅延回路を構成している。

【 0 0 1 8 】

各準備期間においてイコライズスイッチ 2 0 4 が導通状態になると、CMOS インバータ 3 0 5 の入力端と出力端とが短絡される結果、当該入力端及び出力端の電圧が所定のイコライズ電圧 V_{eq} ($V_{ss} = 0$ とすると、例えば $V_{eq} = V_{dd}/2$ である。) に設定される。この状態では、CMOS インバータ 3 0 5 を構成する P チャネル MOS トランジスタ 2 0 2 及び N チャネル MOS トランジスタ 2 0 3 がともにターンオンしているので、 V_{dd} 電源線から CMOS インバータ 3 0 5 を通して V_{ss} 電源線へ貫通電流が流れる。この貫通電流は、イコライズ電圧 V_{eq} の設定完了後は不要である。したがって、CLK 信号の立ち上がり遷移の時刻から一定の時間が経過した後に、カットオフスイッチ 2 1 0 が CMOS インバータ 3 0 5 の貫通電流を遮断する。これにより、受信回路 2 0 0 a の消費電力が低減される。

【 0 0 1 9 】

図 3 は、図 1 中の受信回路 2 0 0 の他の変形例を示している。図 3 の受信回路 2 0 0 b は、準備期間 (CLK = H の期間) 毎に CMOS インバータ 3 0 5 によるイコライズ電圧 V_{eq} の設定が完了した後に当該 CMOS インバータ 3 0 5 を V_{ss} 電源線から切り離すための第 1 のカットオフスイッチ 2 1 2 と、伝送期間 (CLK = L の期間) 毎に CMOS インバータ 3 0 5 の出力端の電圧が確定した後に当該 CMOS インバータ 3 0 5 を V_{ss} 電源線から切り離すための第 2 のカットオ

フスイッチ 213 とを備えている。これら第 1 及び第 2 のカットオフスイッチ 212, 213 を制御するための信号は、3 個のインバータ 214, 215, 218 と、1 個の NOR ゲート 216 と、1 個の NAND ゲート 217 とにより、CLK 信号から生成される。

【0020】

第 1 のカットオフスイッチ 212 は、各準備期間において、図 2 中のカットオフスイッチ 210 と同様に、CLK 信号の立ち上がり遷移の時刻から一定の時間が経過した後に CMOS インバータ 305 の貫通電流を遮断する。

【0021】

図 3 によれば、各伝送期間においてイコライズスイッチ 204 が非導通状態になると、CMOS インバータ 305 は入力端子 RIN の微小な電圧変化を増幅する。この場合の入力端子 RIN の電圧は $V_{eq} + \Delta V$ 又は $V_{eq} - \Delta V$ であって、 ΔV は微小な電圧振幅である。この状態でも、CMOS インバータ 305 を構成する P チャネル MOS トランジスタ 202 及び N チャネル MOS トランジスタ 203 がともにターンオンしているので、Vdd 電源線から CMOS インバータ 305 を通して Vss 電源線へ貫通電流が流れる。この貫通電流は、当該 CMOS インバータ 305 の出力端の電圧が確定した後は不要である。したがって、CLK 信号の立ち下がり遷移の時刻から一定の時間が経過した後に、第 2 のカットオフスイッチ 213 が CMOS インバータ 305 の貫通電流を遮断する。これにより、受信回路 200b の消費電力が更に低減される。しかも、各伝送期間において Vdd 電源線及び Vss 電源線から混入するノイズに対する耐性が向上する。

【0022】

図 4 は、本発明に係る同期型信号伝送回路の他の構成例を示している。図 4 の信号伝送回路は、クロック (CLK) 信号に同期して、第 1 の回路ブロック群 BK11, BK12, BK13 のうちのいずれかから共通の信号線 30 を介して第 2 の回路ブロック群 BK21, BK22, BK23 のうちのいずれかへデジタル信号を伝送するための信号伝送回路である。BK11, BK12, BK13 は同一構成の送信回路 100a を、BK21, BK22, BK23 は同一構成の受信回路 200c をそれぞれ備えている。BK11, BK12, BK13 の送信回路

1 0 0 a の各々は、入力デジタル信号 T D 1 1, T D 1 2, T D 1 3 を受け取るための入力端子 T I N と、選択信号 T S 1, T S 2, T S 3 を受け取るための選択端子 T S E L と、信号線 3 0 に接続された出力端子 T O U T とを有する。B K 2 1, B K 2 2, B K 2 3 の受信回路 2 0 0 c の各々は、信号線 3 0 に接続された入力端子 R I N と、選択信号 R S 1, R S 2, R S 3 を受け取るための選択端子 R S E L と、出力デジタル信号 R D 2 1, R D 2 2, R D 2 3 を供給するための出力端子 R O U T とを有する。なお、全ての送信回路 1 0 0 a 及び全ての受信回路 2 0 0 c に、共通の C L K 信号が分配される。

【 0 0 2 3 】

図 5 は、図 4 中の送信回路 1 0 0 a の内部構成を示している。図 5 の送信回路 1 0 0 a は、選択端子 T S E L に与えられた選択信号が活性化された場合（例えば、T S 1 = H の場合）には入力スイッチ 1 0 2 及び送信スイッチ 1 0 3 の各々の状態を C L K 信号に応答して変化させ、かつ同選択信号が非活性化された場合（例えば、T S 1 = L の場合）には入力スイッチ 1 0 2 及び送信スイッチ 1 0 3 の各々の状態を固定するための論理回路 1 0 5 を有する点で、図 1 中の送信回路 1 0 0 と異なる。図 5 中の 1 0 6 は、論理回路 1 0 5 を構成する N A N D ゲートの出力を反転するためのインバータである。図示の例では、非選択の場合に、入力スイッチ 1 0 2 が非導通状態に、出力スイッチ 1 0 3 が導通状態にそれぞれ固定される。ただし、非選択の場合に、入力スイッチ 1 0 2 を導通状態に、出力スイッチ 1 0 3 を非導通状態にそれぞれ固定することとしてもよい。

【 0 0 2 4 】

図 6 は、図 4 中の受信回路 2 0 0 c の内部構成を示している。図 6 の受信回路 2 0 0 c は、選択端子 R S E L に与えられた選択信号が活性化された場合（例えば、R S 1 = H の場合）にはイコライズスイッチ 2 0 4 の状態を C L K 信号に応答して変化させ、かつ同選択信号が非活性化された場合（例えば、R S 1 = L の場合）にはイコライズスイッチ 2 0 4 を非導通状態に固定するための論理回路 2 1 9 を有する点で、図 1 中の受信回路 2 0 0 と異なる。図 6 中の 2 2 0 は、論理回路 2 1 9 を構成する N A N D ゲートの出力を反転するためのインバータである。図示の例では、非選択の場合に、イコライズスイッチ 2 0 4 が非導通状態に固

定されるとともに、ラッチ 3 1 0 の 2 個のスイッチ 2 0 5, 2 0 8 がそれぞれ導通状態及び非導通状態に固定される。

【 0 0 2 5 】

図 4 ～ 図 6 の信号伝送回路によれば、送信側の回路ブロックと受信側の回路ブロックとを任意に指定できる。例えば、BK 1 1 から BK 2 3 ヘデジタル信号を伝送する場合には、 $TS 1 = RS 3 = H$ かつ $TS 2 = TS 3 = RS 1 = RS 2 = L$ の設定がなされる。このとき、BK 1 1 の送信回路 1 0 0 a と BK 2 3 の受信回路 2 0 0 c との間で、図 1 の場合と同様の小振幅信号伝送が達成される。この際、信号線 3 0 の電圧は、いずれの回路ブロック間の信号伝送でも V_{eq} から $V_{eq} + \Delta V$ 又は $V_{eq} - \Delta V$ へと微小に変化する。

【 0 0 2 6 】

図 7 は、本発明に係る同期型信号伝送回路の更に他の構成例を示している。図 7 の信号伝送回路は、クロック (CLK) 信号に同期して、第 1 の回路ブロック群 BK 3 1, BK 3 2, BK 3 3 から共通の信号線 3 0 を介して第 2 の回路ブロック BK 4 1 へ、第 1 の回路ブロック群 BK 3 1, BK 3 2, BK 3 3 の各々に与えられたデジタル信号 TD 3 1, TD 3 2, TD 3 3 に基づく論理演算結果を伝送するための信号伝送回路である。BK 3 1, BK 3 2, BK 3 3 は図 5 の送信回路 1 0 0 a を、BK 4 1 は図 1 中の受信回路 2 0 0 をそれぞれ備えている。ただし、BK 3 1, BK 3 2, BK 3 3 の送信回路 1 0 0 a の各々は、対応するデジタル信号 TD 3 1, TD 3 2, TD 3 3 を選択端子 TSEL に受け取り、かつ入力端子 TIN が Vdd 電源線に接続されるように構成されている。RD 4 1 は、論理演算結果を表す出力デジタル信号である。

【 0 0 2 7 】

図 7 の構成によれば、各送信回路 1 0 0 a 中の論理回路 1 0 5 (図 5 参照) は、選択端子 TSEL に与えられた入力デジタル信号が活性化された場合 (例えば $TD 3 1 = H$ の場合) には入力スイッチ 1 0 2 及び送信スイッチ 1 0 3 の各々の状態を CLK 信号に応答して変化させ、かつ同デジタル信号が非活性化された場合 (例えば $TD 3 1 = L$ の場合) には入力スイッチ 1 0 2 及び送信スイッチ 1 0 3 の各々の状態を固定する。一方、各送信回路 1 0 0 a の入力端子 TIN の電圧

は、常に論理高電圧 (V_{dd}) に固定されている。したがって、 $TD31$, $TD32$, $TD33$ のうちの 1 つが活性化された場合には信号線 30 の電圧が V_{eq} から $V_{eq} + \Delta V$ へと変化し、2 つが活性化された場合には同電圧が V_{eq} から $V_{eq} + 2\Delta V$ へと変化し、3 つが活性化された場合には同電圧が V_{eq} から $V_{eq} + 3\Delta V$ へと変化する。信号線 30 のこれらの電圧変化は、図 7 中の受信回路 200 における CMOS インバータ 305 (図 1 参照) の出力端において、 V_{eq} から $V_{eq} - G\Delta V$ への変化、 V_{eq} から $V_{eq} - 2G\Delta V$ への変化、 V_{eq} から $V_{eq} - 3G\Delta V$ への変化となってそれぞれ現れる。したがって、ラッチ 310 中のインバータ 206 (図 1 参照) の論理しきい値電圧を V_{th} とするとき、 $V_{eq} < V_{th} < V_{eq} - G\Delta V$ ならば出力デジタル信号 $RD41$ が 3 入力デジタル信号 $TD31$, $TD32$, $TD33$ の論理和演算の結果を、 $V_{eq} - G\Delta V < V_{th} < V_{eq} - 2G\Delta V$ ならば出力デジタル信号 $RD41$ が 3 入力デジタル信号 $TD31$, $TD32$, $TD33$ の多数決論理演算の結果を、 $V_{eq} - 2G\Delta V < V_{th} < V_{eq} - 3G\Delta V$ ならば出力デジタル信号 $RD41$ が 3 入力デジタル信号 $TD31$, $TD32$, $TD33$ の論理積演算の結果をそれぞれ表すこととなる。なお、各送信回路 100a の入力端子 TIN の電圧を論理低電圧 (V_{ss}) に固定し、かつ受信回路 200 中のインバータ 206 の論理しきい値電圧を V_{eq} より高く設定してもよい。

【0028】

図 8 は、本発明に係る非同期型信号伝送回路の構成例を示している。図 8 の信号伝送回路は、第 1 の回路ブロック $BK50$ から共通の信号線 30 を介して第 2 の回路ブロック群 $BK61$, $BK62$, $BK63$ の各々へデジタル信号 (ここではクロック信号 CLK) を伝送・分配するための信号伝送回路である。これらの回路ブロック $BK50$, $BK61$, $BK62$, $BK63$ は、同一の半導体集積回路の中にあってもよいし、各々異なる半導体集積回路の中にあってもよい。

【0029】

第 1 の回路ブロック $BK50$ は、送信すべきクロック信号を当該回路ブロック $BK50$ の内部から受け取るための入力端子 TIN と、信号線 30 に接続された出力端子 $TOUT$ とを有する送信回路 500 を備えている。第 2 の回路ブロック群 $BK61$, $BK62$, $BK63$ の各々は、信号線 30 に接続された入力端子 R

INと、受信したクロック信号を各回路ブロックの内部へ供給するための出力端子ROUTと、リセット(RST)信号を受け取るための他の入力端子とを有する受信回路600を備えている。なお、各受信回路600のCOUT端子については後述する。

【0030】

図9は、図8中の送信回路500の内部構成を示している。図9の送信回路500は、遷移検出回路510と、第1の送信キャパシタ521と、プリチャージスイッチ522と、第1の送信スイッチ523と、第2の送信キャパシタ531と、プリディスチャージスイッチ532と、第2の送信スイッチ533と、2個のインバータ524、534とで構成されている。

【0031】

遷移検出回路510は、入力端子TINから与えられた入力クロック(CLK)信号の論理レベルの遷移を逐次検出するための回路であって、出力端子TOUTへ論理高レベルの出力をすべき高レベル期間(CLK=Hの期間)と、出力端子TOUTへ論理低レベルの出力をすべき低レベル期間(CLK=Lの期間)とを検知するように、インバータ511と、NANDゲート512と、NORゲート513とで構成されている。NANDゲート512の出力は、CLK信号の立ち上がり遷移の時刻からインバータ511の遅延時間だけ、すなわち各高レベル期間の開始時刻から一定の期間だけ、論理低レベルになる。NORゲート513の出力は、CLK信号の立ち下がり遷移の時刻からインバータ511の遅延時間だけ、すなわち各低レベル期間の開始時刻から一定の期間だけ、論理高レベルになる。

【0032】

第1の送信キャパシタ521と、プリチャージスイッチ522と、第1の送信スイッチ523と、インバータ524とは、高レベル出力回路520を構成している。プリチャージスイッチ522は、各低レベル期間(CLK=Lの期間)ではVdd電源線の論理高電圧を第1の送信キャパシタ521へ供給する導通状態となり、かつ各高レベル期間(CLK=Hの期間)では非導通状態となるように構成されている。つまり、低レベル期間毎に、所定の論理高電圧が第1の送信キャ

パシタ 5 2 1 に設定される。第 1 の送信スイッチ 5 2 3 は、各高レベル期間（CLK = H の期間）の開始時刻から一定の期間だけ第 1 の送信キャパシタ 5 2 1 を出力端子 T O U T に接続する導通状態となるように構成されている。つまり、高レベル期間毎に、直前の低レベル期間のうちに設定された第 1 の送信キャパシタ 5 2 1 の電圧に応じた正の微小な電圧変化が信号線 3 0 に生じるようになっている。

【 0 0 3 3 】

第 2 の送信キャパシタ 5 3 1 と、プリディスチャージスイッチ 5 3 2 と、第 2 の送信スイッチ 5 3 3 と、インバータ 5 3 4 とは、低レベル出力回路 5 3 0 を構成している。プリディスチャージスイッチ 5 3 2 は、各高レベル期間（CLK = H の期間）では Vss 電源線の論理低電圧を第 2 の送信キャパシタ 5 3 1 へ供給する導通状態となり、かつ各低レベル期間（CLK = L の期間）では非導通状態となるように構成されている。つまり、高レベル期間毎に、所定の論理低電圧が第 2 の送信キャパシタ 5 3 1 に設定される。第 2 の送信スイッチ 5 3 3 は、各低レベル期間（CLK = L の期間）の開始時刻から一定の期間だけ第 2 の送信キャパシタ 5 3 1 を出力端子 T O U T に接続する導通状態となるように構成されている。つまり、低レベル期間毎に、直前の高レベル期間のうちに設定された第 2 の送信キャパシタ 5 3 1 の電圧に応じた負の微小な電圧変化が信号線 3 0 に生じるようになっている。

【 0 0 3 4 】

図 1 0 は、図 8 中の受信回路 6 0 0 の内部構成を示している。図 1 0 の受信回路 6 0 0 は、増幅回路 6 1 0 と、第 1 のレベル回路 6 2 0 と、第 2 のレベル回路 6 3 0 と、イコライズ制御回路 6 4 0 と、ラッチ 6 5 0 とで構成されている。

【 0 0 3 5 】

増幅回路 6 1 0 は、受信キャパシタ 6 1 1 と、P チャネル MOS トランジスタ 6 1 2 と、N チャネル MOS トランジスタ 6 1 3 と、イコライズスイッチ 6 1 4 と、インバータ 6 1 5 とで構成されている。P チャネル MOS トランジスタ 6 1 2 及び N チャネル MOS トランジスタ 6 1 3 は、Vdd 電源線と Vss 電源線との間に介挿されて、入力端子 R I N の電圧変化、すなわち信号線 3 0 の微小な電圧変

化を増幅するためのCMOSインバータ616を構成している。受信キャパシタ611及びイコライズスイッチ614は、それぞれCMOSインバータ616の入力端と出力端との間に介挿されている。イコライズスイッチ614が導通状態になると、信号線30並びにCMOSインバータ616の入力端及び出力端の各々の電圧が所定のイコライズ電圧 V_{eq} に設定される。ここに、 V_{eq} はCMOSインバータ616の入出力特性に応じて決まる電圧である。イコライズスイッチ614の非導通状態では、信号線30の微小な電圧変化を増幅するCMOSインバータ616の動作が許容されて、受信キャパシタ611が充放電されるようになっている。

【0036】

第1のレベル回路620は、信号線30の正の微小な電圧変化を検出したときに第1の検出信号（正論理）Pを供給するための回路であって、 V_{dd} 電源線と V_{ss} 電源線との間に介挿されたPチャネルMOSトランジスタ621及びNチャネルMOSトランジスタ622で構成されている。これらのトランジスタ621、622で構成されたインバータは、上記イコライズ電圧 V_{eq} より低い論理しきい値電圧 V_{thl} を有し、CMOSインバータ616の出力端の負の電圧変化を検出することにより、信号線30の正の微小な電圧変化を検出するようになっている。

【0037】

第2のレベル回路630は、信号線30の負の微小な電圧変化を検出したときに第2の検出信号（負論理）Qを供給するための回路であって、 V_{dd} 電源線と V_{ss} 電源線との間に介挿されたPチャネルMOSトランジスタ631及びNチャネルMOSトランジスタ632で構成されている。これらのトランジスタ631、632で構成されたインバータは、上記イコライズ電圧 V_{eq} より高い論理しきい値電圧 V_{thh} を有し、CMOSインバータ616の出力端の正の電圧変化を検出することにより、信号線30の負の微小な電圧変化を検出するようになっている。

【0038】

これら第1及び第2のレベル回路620、630は、CMOSインバータ61

6の構成を基にして、PチャネルMOSトランジスタ612及びNチャネルMOSトランジスタ613のゲート幅などを変更し、電流利得係数を変更するなどすれば、構成可能である。

【0039】

ラッチ650は、前記入力クロック（CLK）信号に対応する出力クロック信号を出力端子ROUTへ供給するように第1及び第2の検出信号（P信号及びQ信号）に応じてセット及びリセットされる、いわゆるRSラッチであって、2個のNANDゲート651、652と、インバータ653とで構成されている。図示の例では、P信号の立ち上がり遷移に应答して出力ROUTがセットされ、かつQ信号の立ち下がり遷移に应答して出力ROUTがリセットされるようになっている。なお、端子COUTには、P信号がそのまま出力される。

【0040】

イコライズ制御回路640は、論理高レベルのRST信号が入力されている間はイコライズスイッチ614を強制的に導通状態にさせ、またP信号（正論理）又はQ信号（負論理）が供給された後に一定の期間だけイコライズスイッチ614を導通状態にさせ、その他の期間ではイコライズスイッチ614を非導通状態にさせるための回路であって、3個のインバータ641、643、646と、3個のNORゲート642、644、645とで構成されている。また、このイコライズ制御回路640は、論理高レベルのRST信号が入力された際に出力ROUTをリセットするための制御回路でもある。なお、インバータ643は、NORゲート642の出力を遅延させるための遅延回路を構成している。

【0041】

図8～図10の信号伝送回路では、初期動作時に論理高レベルのRST信号が各受信回路600に入力される。これに应答して、受信回路600の各々でイコライズスイッチ614が導通状態にさせられる。この結果、CMOSインバータ616の入力端と出力端とが短絡され、信号線30並びにCMOSインバータ616の入力端及び出力端の各々の電圧が所定のイコライズ電圧 V_{eq} に設定される。この電圧 V_{eq} ($> V_{thl}$) は第1のレベル回路620では論理高レベル入力とみなされるので、P信号は論理低レベルになる。一方、同電圧 V_{eq} ($< V_{thh}$)

は第2のレベル回路630では論理低レベル入力とみなされるので、Q信号は論理高レベルになる。また、ラッチ650の出力電圧、すなわち出力端子ROUTの電圧が論理低レベルに初期化される。続いて、RST信号が論理低レベルに下げられた後、クロック信号の伝送が開始する。この時点では、イコライズスイッチ614が非導通状態にあり、かつラッチ650が論理低レベル出力を保持している。

【0042】

まず、送信回路500の入力クロック信号が論理低レベルから論理高レベルへ遷移した場合の各部の動作を説明する。入力クロック信号が立ち上がり遷移をすると、一定の期間だけ、遷移検出回路510の中のNANDゲート512の出力が論理低レベルになり、第1の送信スイッチ523が導通状態となる。したがって、この時点までにプリチャージされた第1の送信キャパシタ521の電圧に応じた正の微小な電圧変化が、信号線30に生じる。つまり、信号線30の電圧が V_{eq} から $V_{eq} + \Delta V$ に変化する。ここに、 ΔV は上記従来例の信号線電圧振幅($V_{dd}/2$)より小さい電圧振幅である。CMOSインバータ616は、信号線30の正の微小な電圧変化を利得 $G (= -5 \sim -1000)$ で増幅する。つまり、CMOSインバータ616の出力端の電圧が V_{eq} から $V_{eq} - G \Delta V$ へ向かって変化する。ここで、第1の送信キャパシタ521から信号線30へ供給された電荷のほとんど全てが、受信キャパシタ611へ急速に移動する。第1のレベル回路620は、CMOSインバータ616の出力端の負の電圧変化を検出して、P信号を論理高レベルに変化させる。第2のレベル回路630は、論理高レベルのQ信号を保持する。したがって、ラッチ650は、出力端子ROUTを論理高レベルに変化させる。つまり、入力クロック信号の立ち上がり遷移に応答して、出力クロック信号の立ち上がり遷移が生じる。一方、イコライズ制御回路640は、入力クロック信号の立ち下がり遷移に備えて、イコライズスイッチ614を一定期間だけ導通させる。その結果、信号線30及び受信回路600が初期状態に戻る。ただし、ラッチ650は論理高レベル出力を保持している。一方、送信回路500では、プリディスチャージスイッチ532が第2の送信キャパシタ531に V_{ss} 電源線の電圧を設定する。

【0043】

次に、送信回路500の入力クロック信号が論理高レベルから論理低レベルへ遷移した場合の各部の動作を説明する。入力クロック信号が立ち下がり遷移をすると、一定の期間だけ、遷移検出回路510の中のNORゲート513の出力が論理高レベルになり、第2の送信スイッチ533が導通状態となる。したがって、この時点までにプリディスチャージされた第2の送信キャパシタ531の電圧に応じた負の微小な電圧変化が、信号線30に生じる。つまり、信号線30の電圧が V_{eq} から $V_{eq} - \Delta V$ に変化する。CMOSインバータ616は、信号線30の負の微小な電圧変化を利得Gで増幅する。つまり、CMOSインバータ616の出力端の電圧が V_{eq} から $V_{eq} + G \Delta V$ へ向かって急速に変化する。第2のレベル回路630は、CMOSインバータ616の出力端の正の電圧変化を検出して、Q信号を論理低レベルに変化させる。第1のレベル回路620は、論理低レベルのP信号を保持する。したがって、ラッチ650は、出力端子ROUTを論理低レベルに変化させる。つまり、入力クロック信号の立ち下がり遷移にตอบสนองして、出力クロック信号の立ち下がり遷移が生じる。一方、イコライズ制御回路640は、入力クロック信号の立ち上がり遷移に備えて、イコライズスイッチ614を一定期間だけ導通させる。その結果、信号線30及び受信回路600が初期状態に戻る。ラッチ650は論理低レベル出力を保持している。一方、送信回路500では、プリチャージスイッチ522が第1の送信キャパシタ511にV_{dd}電源線の電圧を設定する。以下、同様の動作の繰り返しにより信号伝送が達成される。

【0044】

以上のとおり、図8～図10の信号伝送回路によれば、入力クロック信号が信号線30上の小振幅信号に変換されるので、図1の場合と同様の高速伝送、低消費電力等の効果が得られる。回路ブロックBK61、BK62、BK63のうちのいずれかを起点として、更に他の回路ブロックへ同様の方法でクロック信号を分配することも可能である。ただし、電源ノイズ及びクロストークの影響を緩和するため、上記非同期型の送信回路500及び受信回路600は、各回路ブロックの周縁近傍に設けるのがよい。なお、クロック信号以外のデジタル信号の伝送

に図 8 ～ 図 1 0 の非同期型構成を用いることもできる。

【 0 0 4 5 】

図 1 1 は、本発明に係る非同期型信号伝送回路の他の構成例を示している。図 1 1 の信号伝送回路は、第 1 の回路ブロック B K 7 0 から共通の信号線 3 0 を介して第 2 の回路ブロック群 B K 8 1, B K 8 2, B K 8 3 の各々へクロック (C L K) 信号を伝送・分配するための信号伝送回路である。B K 7 0 は図 1 中の送信回路 1 0 0 を、B K 8 1, B K 8 2, B K 8 3 は図 1 0 の受信回路 6 0 0 をそれぞれ備えている。ただし、B K 7 0 における送信回路 1 0 0 の入力端子 T I N は V d d 電源線に接続されている。また、B K 8 1, B K 8 2, B K 8 3 の各々の出力クロック信号は C O U T 端子から得られるようになっている。

【 0 0 4 6 】

図 1 1 の信号伝送回路では、初期動作時に論理高レベルの R S T 信号が各受信回路 6 0 0 に入力される。これに応答して、受信回路 6 0 0 の各々でイコライズスイッチ 6 1 4 が導通状態にさせられる。この結果、C M O S インバータ 6 1 6 の入力端と出力端とが短絡され、信号線 3 0 並びに C M O S インバータ 6 1 6 の入力端及び出力端の各々の電圧が所定のイコライズ電圧 V_{eq} に設定される。この電圧 V_{eq} ($> V_{th1}$) は第 1 のレベル回路 6 2 0 では論理高レベル入力とみなされるので、P 信号すなわち C O U T 端子の出力電圧は論理低レベルになる。続いて、R S T 信号が論理低レベルに下げられた後、クロック信号の伝送が開始する。この時点では、イコライズスイッチ 6 1 4 が非導通状態にあり、かつ C O U T 端子が論理低レベル出力を保持している。

【 0 0 4 7 】

一方、送信回路 1 0 0 の入力端子 T I N の電圧は、常に論理高電圧 (V d d) に固定されている。したがって、各伝送期間 (C L K = L の期間) では、信号線 3 0 の電圧が V_{eq} から $V_{eq} + \Delta V$ へと変化する。ここに、 ΔV は上記従来例の信号線電圧振幅 ($V_{dd}/2$) より小さい電圧振幅である。信号線 3 0 のこの電圧変化は、図 1 1 中の各受信回路 6 0 0 における C M O S インバータ 6 1 6 (図 1 0 参照) の出力端において、 V_{eq} から $V_{eq} - G \Delta V$ への変化となって現れる。したがって、第 1 のレベル回路 6 2 0 は、C M O S インバータ 6 1 6 の出力端の負の電

圧変化を検出して、P信号を論理高レベルに変化させる。つまり、入力クロック信号の立ち下がり遷移に応答して、COUT端子の出力クロック信号の立ち上がり遷移が生じる。一方、イコライズ制御回路640は、入力クロック信号の次の立ち下がり遷移に備えて、イコライズスイッチ614を一定期間だけ導通させる。その結果、信号線30及び受信回路600が初期状態に戻る。したがって、COUT端子の出力クロック信号の立ち下がり遷移が得られる。

【0048】

以上のとおり、図11の信号伝送回路によっても、入力クロック信号が信号線30上の小振幅信号に変換されるので、図1の場合と同様の高速伝送、低消費電力等の効果が得られる。なお、送信回路100の入力端子TINの電圧を論理低電圧(Vss)に固定し、かつ各受信回路600中の第2のレベル回路630のQ信号又はその反転信号をCOUT端子から出力するようにしてもよい。

【0049】

【発明の効果】

以上説明してきたとおり、本発明によれば、送信キャパシタと受信キャパシタとの間の効率的な電荷の授受を実現することにより信号線の電圧振幅を低減したので、大きい負荷容量を有する信号線を介してデジタル信号を伝送するための信号伝送回路において高速伝送及び低消費電力を実現することができる。

【図面の簡単な説明】

【図1】

本発明に係る同期型信号伝送回路の構成例を示す回路図である。

【図2】

図1中の受信回路の変形例を示す回路図である。

【図3】

図1中の受信回路の他の変形例を示す回路図である。

【図4】

本発明に係る同期型信号伝送回路の他の構成例を示すブロック図である。

【図5】

図4中の送信回路の内部構成を示す回路図である。

【図 6】

図 4 中の受信回路の内部構成を示す回路図である。

【図 7】

本発明に係る同期型信号伝送回路の更に他の構成例を示すブロック図である。

【図 8】

本発明に係る非同期型信号伝送回路の構成例を示すブロック図である。

【図 9】

図 8 中の送信回路の内部構成を示す回路図である。

【図 10】

図 8 中の受信回路の内部構成を示す回路図である。

【図 11】

本発明に係る非同期型信号伝送回路の他の構成例を示すブロック図である。

【符号の説明】

3 0 信号線

1 0 0, 1 0 0 a 送信回路

1 0 1 送信キャパシタ

1 0 2 入力スイッチ

1 0 3 送信スイッチ

1 0 5 論理回路

2 0 0, 2 0 0 a, 2 0 0 b, 2 0 0 c 受信回路

2 0 1 受信キャパシタ

2 0 4 イコライズスイッチ

2 1 0, 2 1 2, 2 1 3 カットオフスイッチ

2 1 9 論理回路

3 0 0 増幅回路

3 0 5 CMOS インバータ

3 1 0 ラッチ

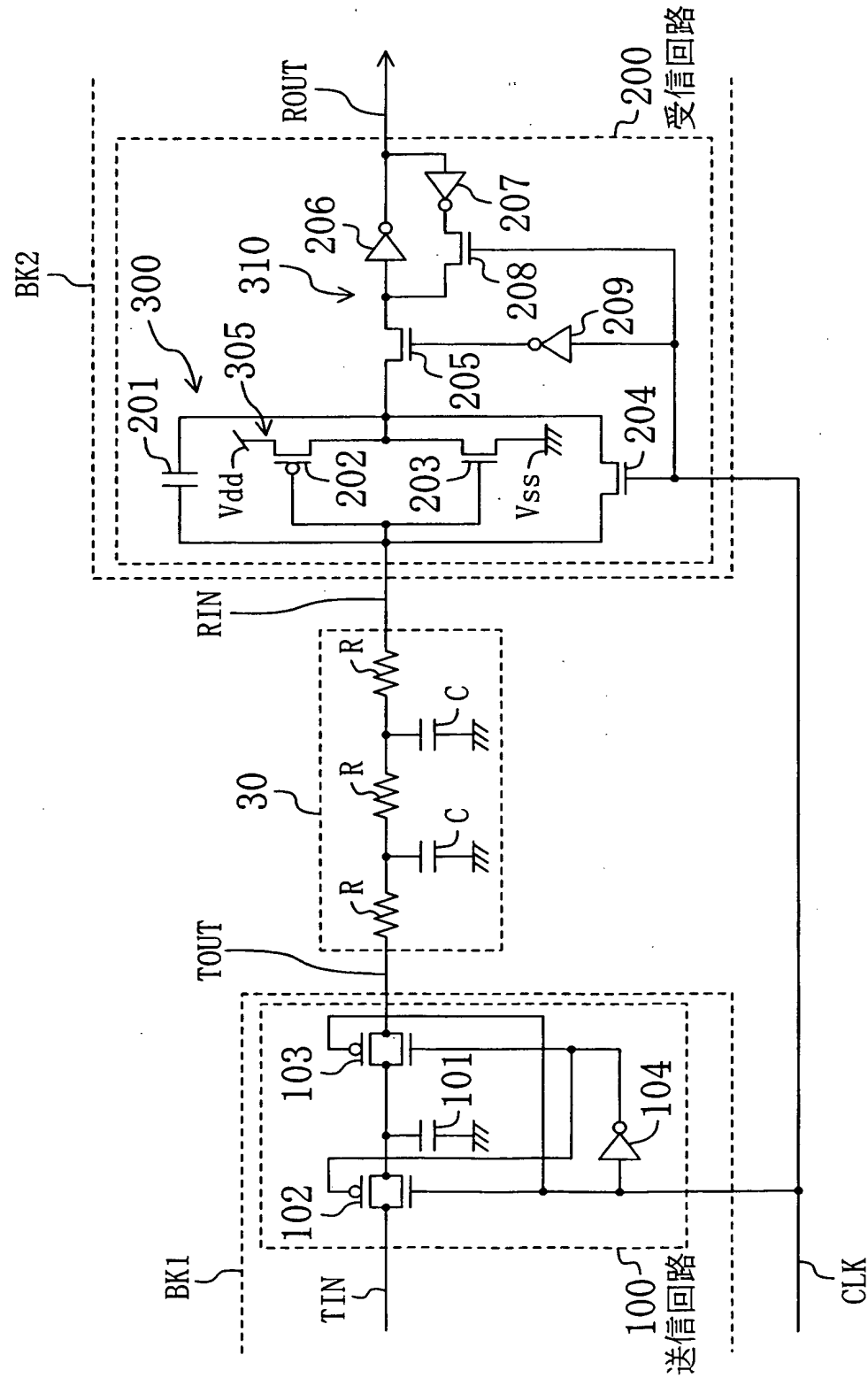
5 0 0 送信回路

5 1 0 遷移検出回路

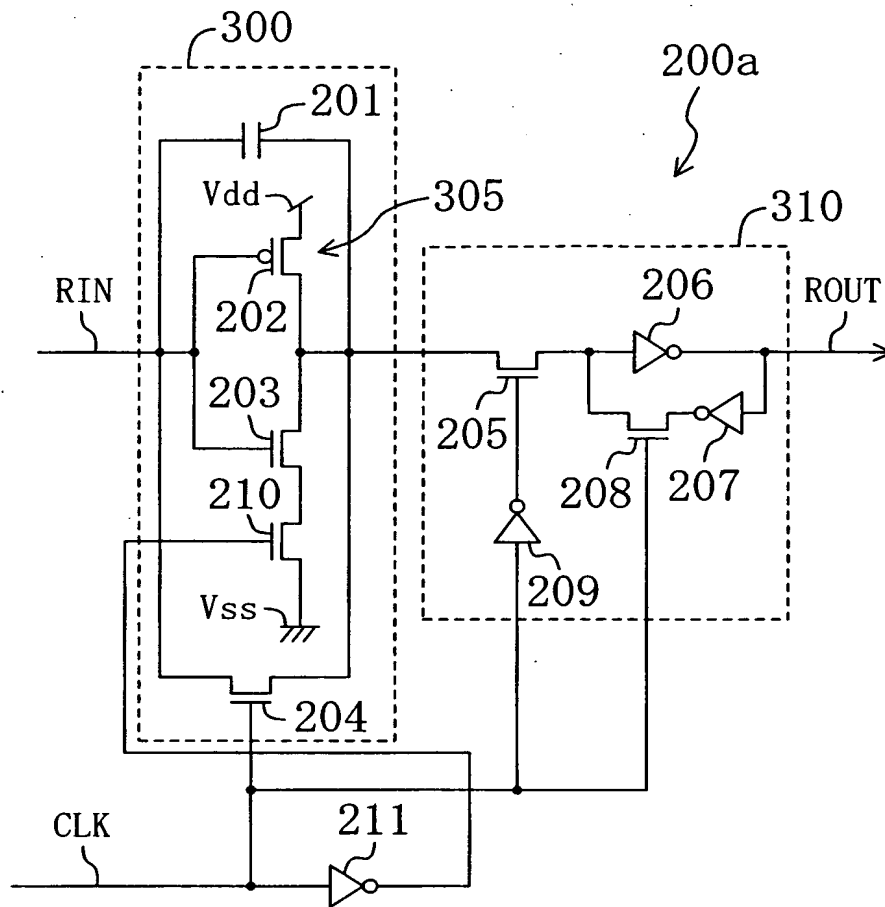
- 5 2 0 高レベル出力回路
- 5 2 1 第 1 の送信キャパシタ
- 5 2 2 プリチャージスイッチ
- 5 2 3 第 1 の送信スイッチ
- 5 3 0 低レベル出力回路
- 5 3 1 第 2 の送信キャパシタ
- 5 3 2 プリディスチャージスイッチ
- 5 3 3 第 2 の送信スイッチ
- 6 0 0 受信回路
- 6 1 0 増幅回路
- 6 1 1 受信キャパシタ
- 6 1 4 イコライズスイッチ
- 6 1 6 CMOS インバータ
- 6 2 0 第 1 のレベル回路
- 6 3 0 第 2 のレベル回路
- 6 4 0 イコライズ制御回路
- 6 5 0 ラッチ

【書類名】 図面

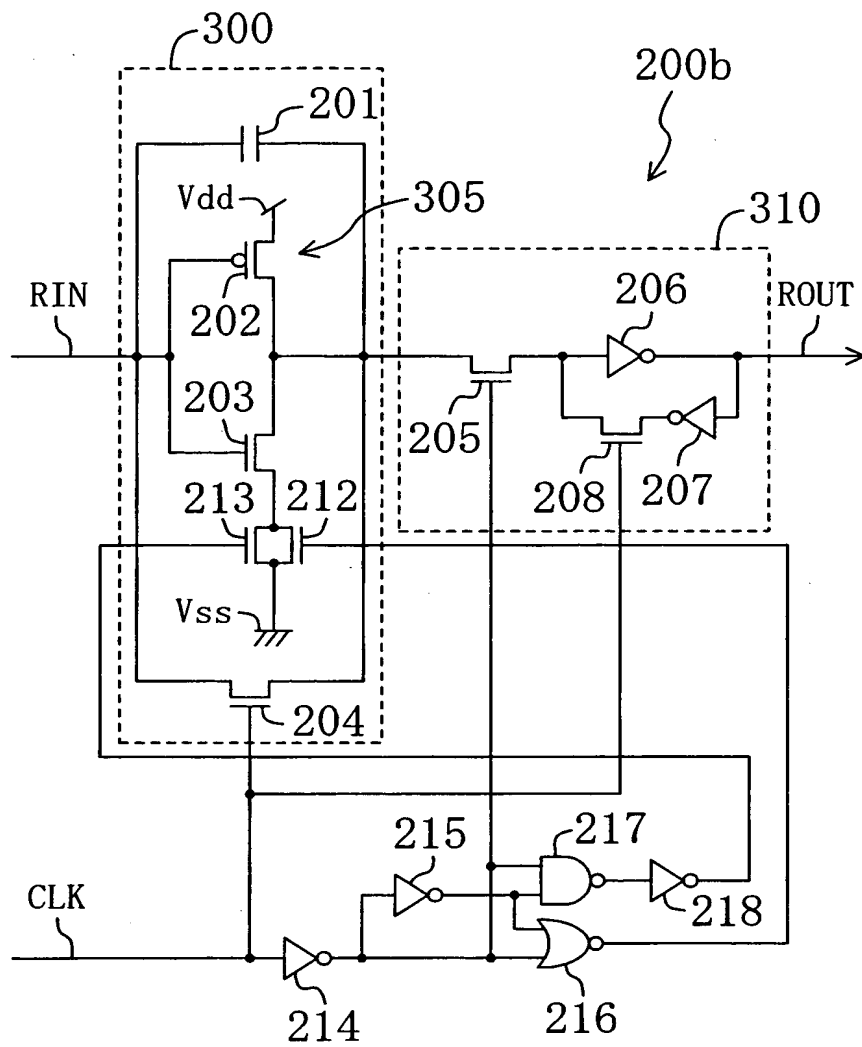
【図 1】



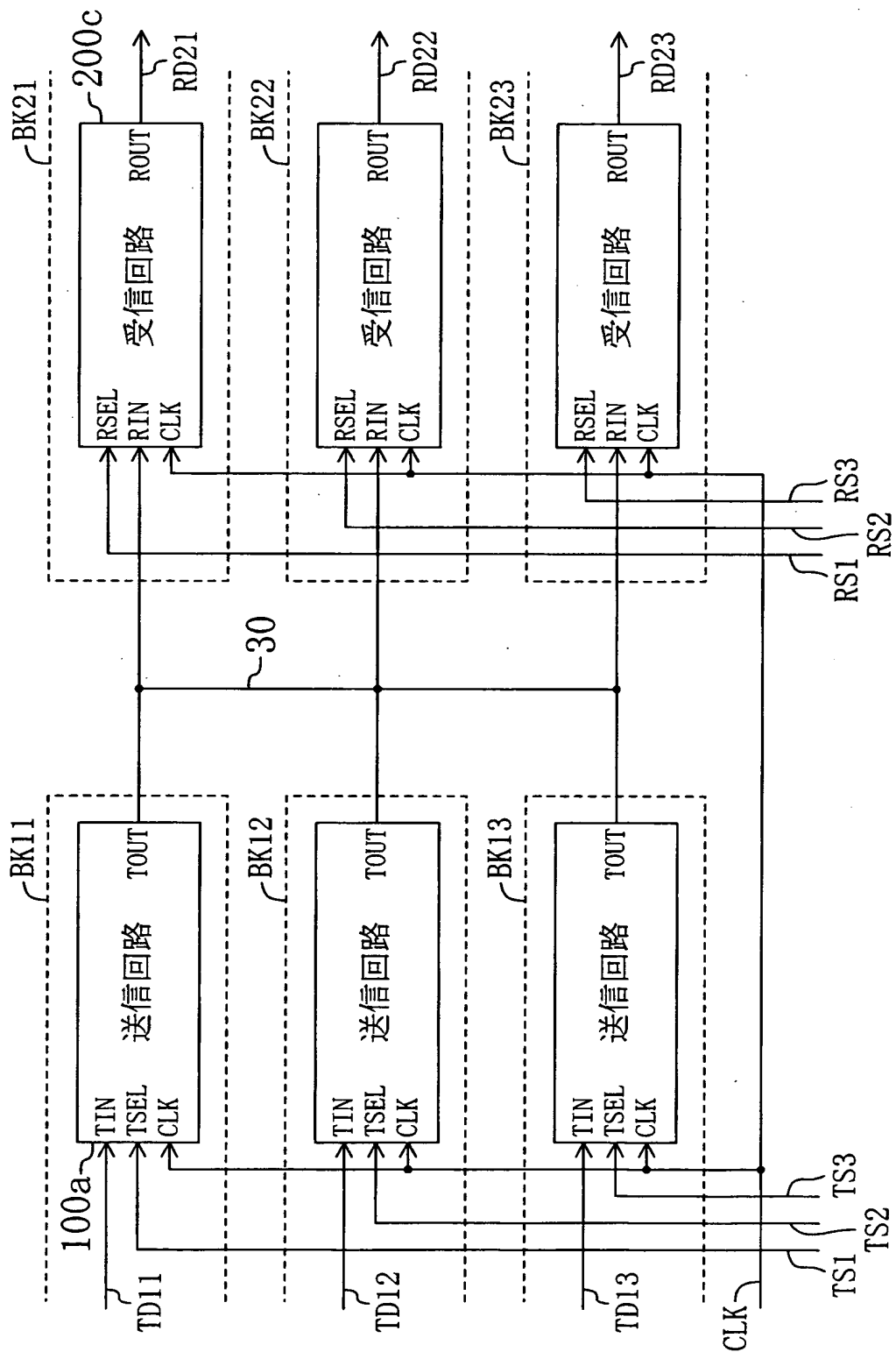
【図 2】



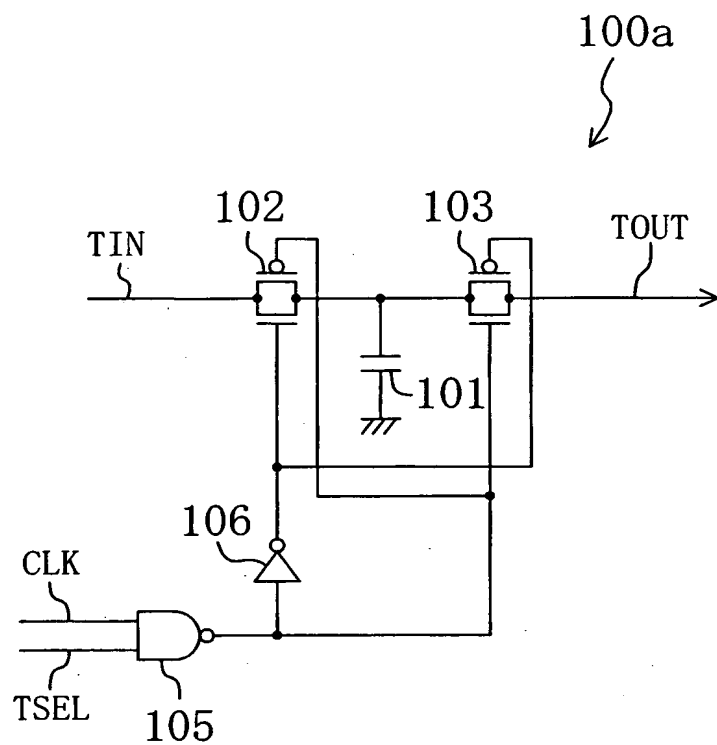
【図 3】



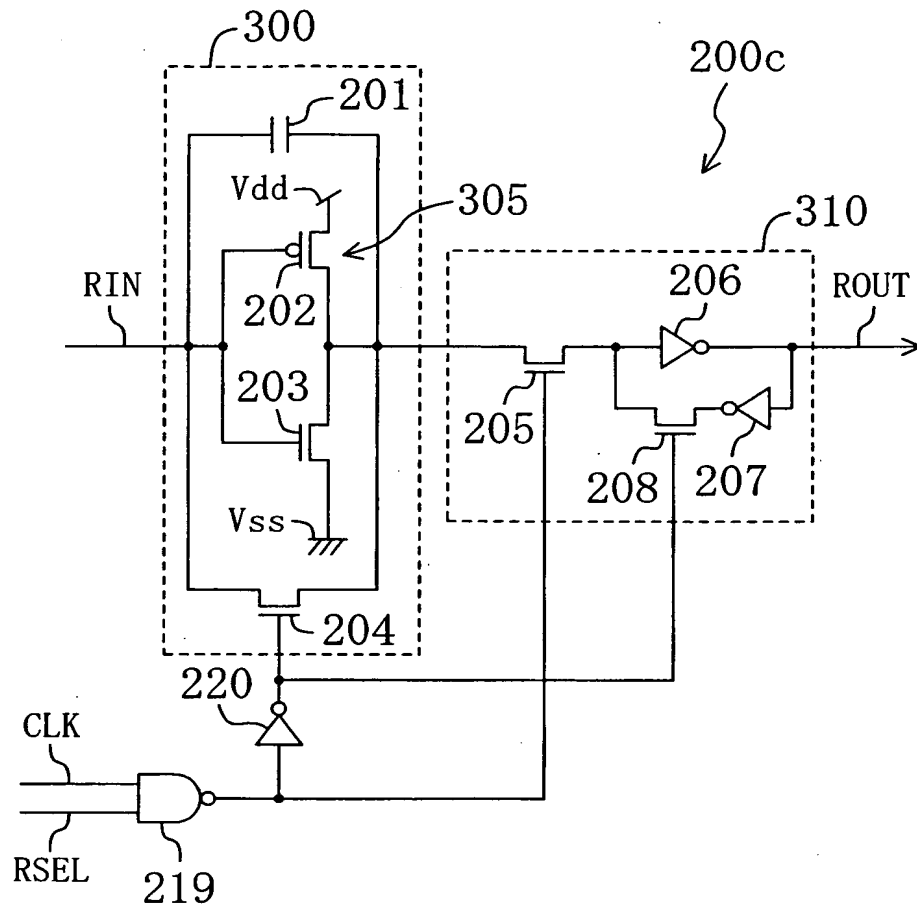
【図 4】



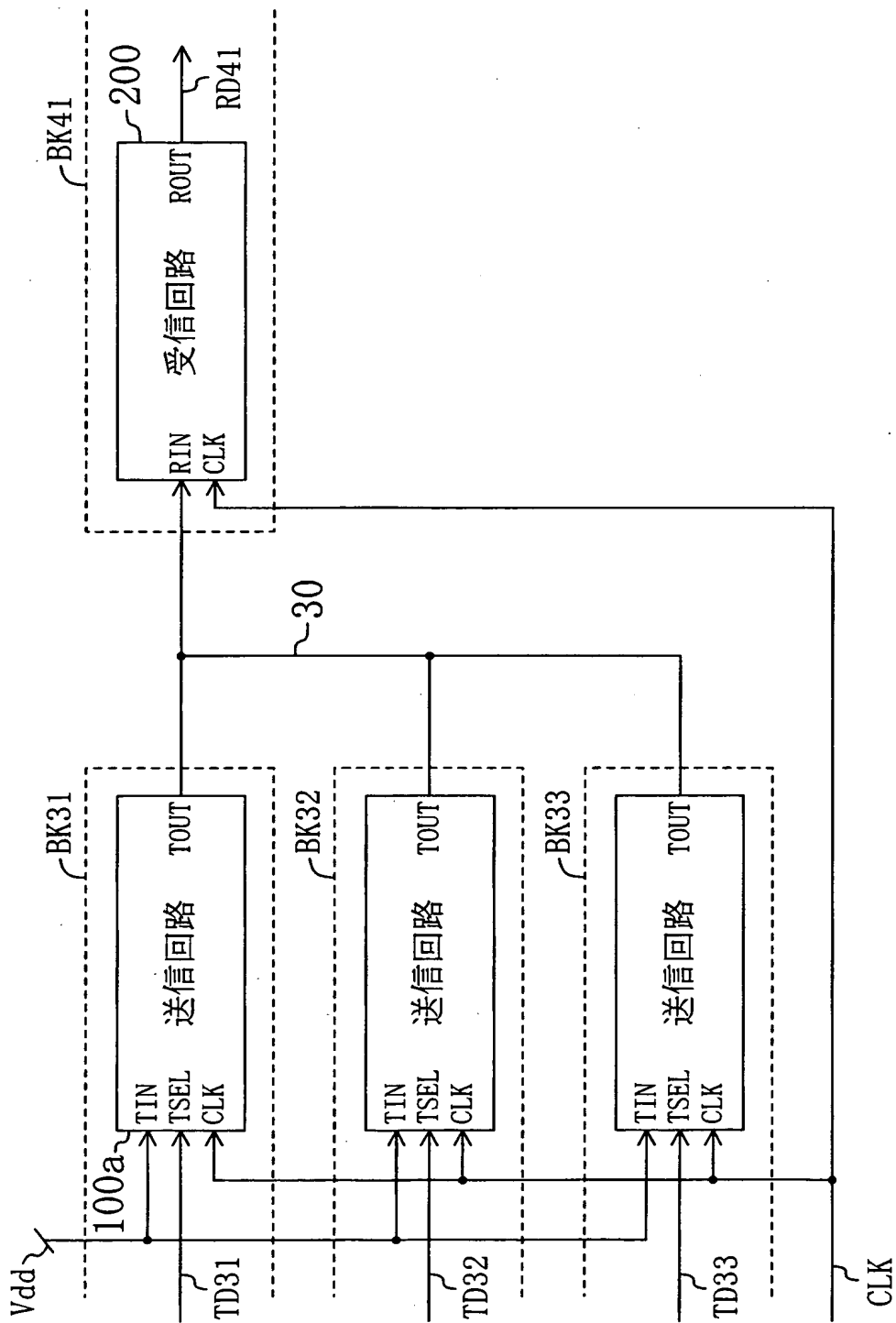
【図 5】



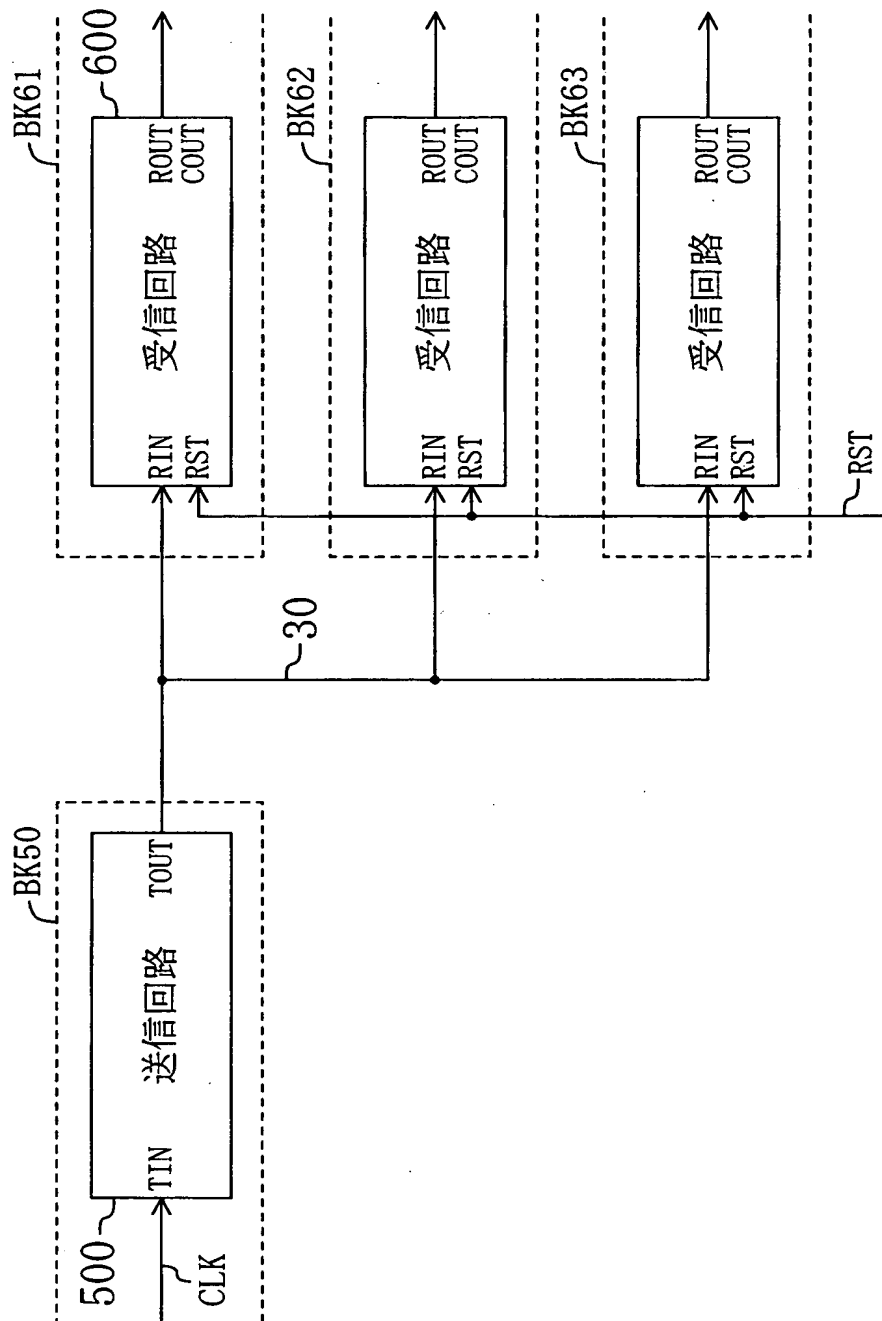
【図 6】



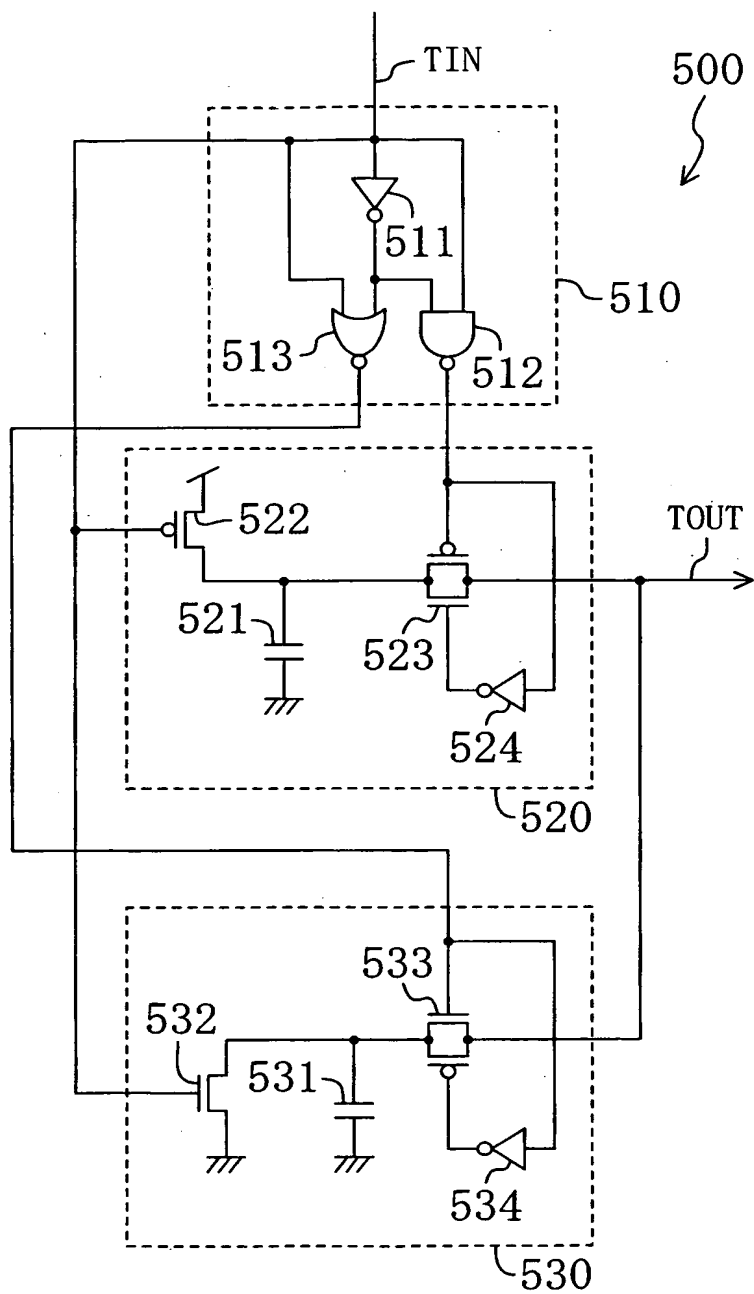
【図 7】



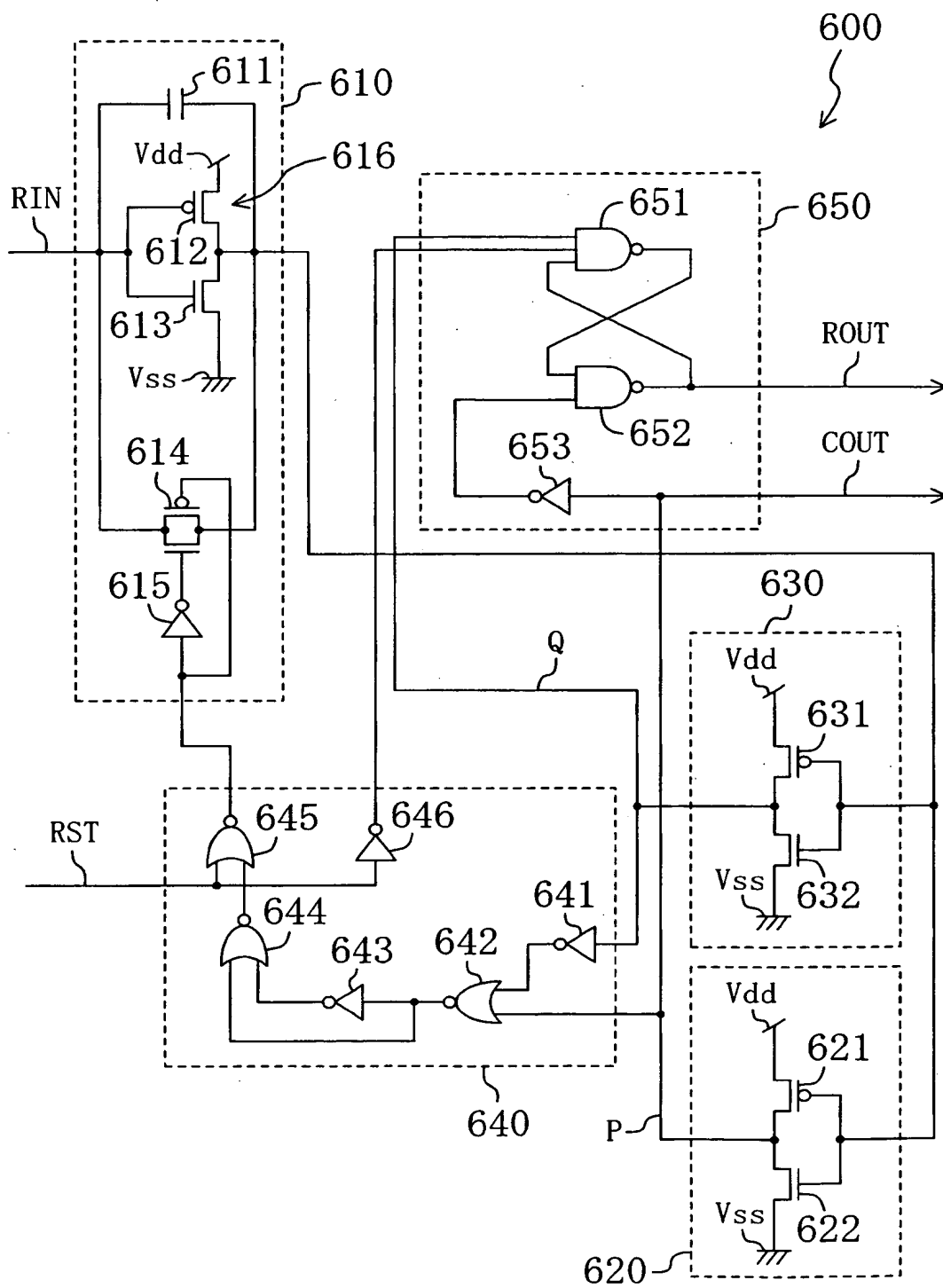
【図 8】



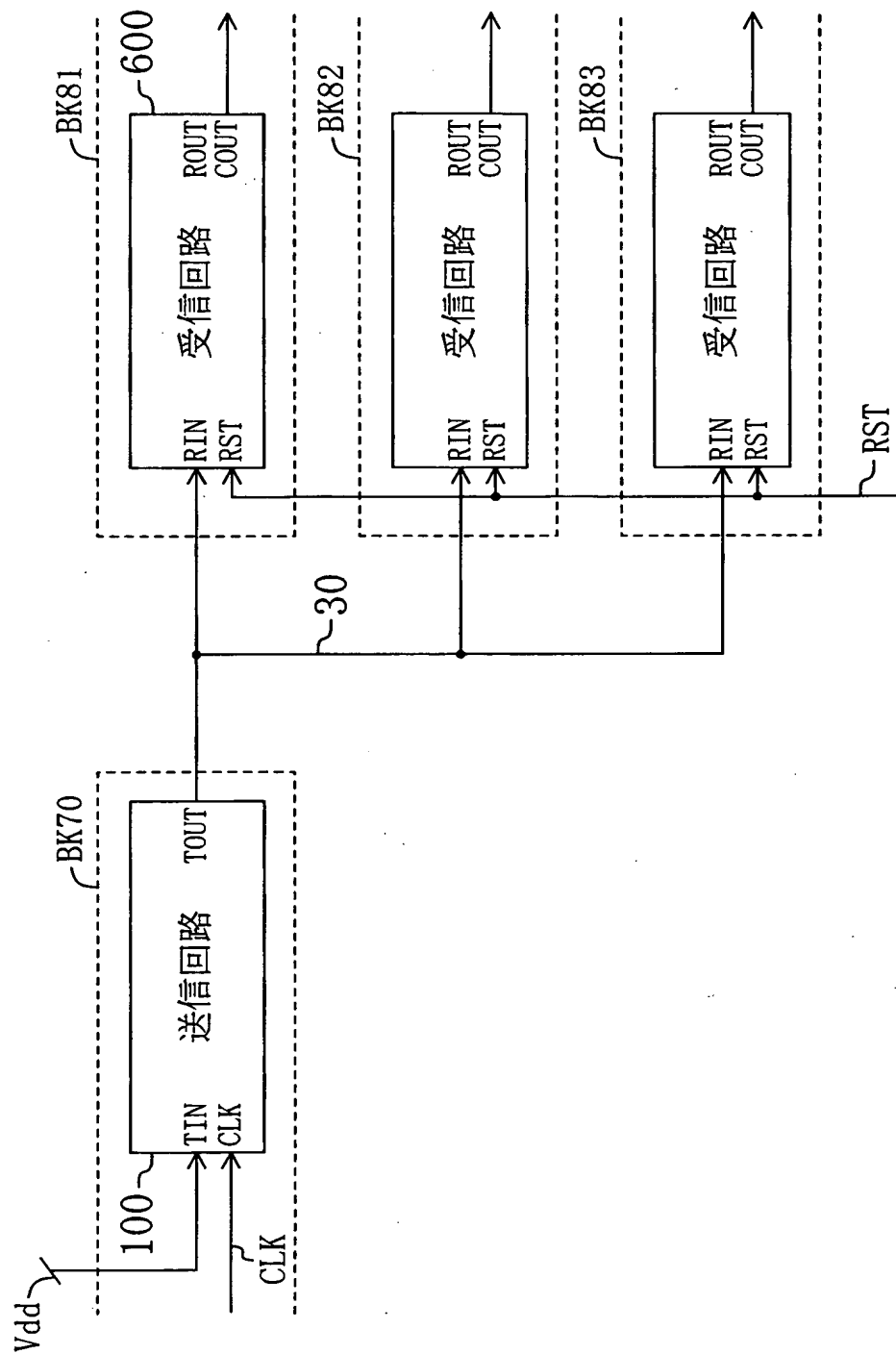
【図 9】



【図 1 0】



【図 1 1】



【書類名】 要約書

【要約】

【課題】 大きい負荷容量の信号線を介してデジタル信号を高速伝送する。

【解決手段】 各々準備期間及び伝送期間を表すH及びLレベルを繰り返すクロック信号に同期して信号伝送をする。送信回路100は、送信キャパシタ101と、準備期間毎に入力デジタル信号に応じた電圧を送信キャパシタに設定する入力スイッチ102と、伝送期間毎に送信キャパシタの電圧に応じた微小な電圧変化を信号線30に生じさせる送信スイッチ103とを有する。受信回路200は、CMOS構成のインバータ305と、該インバータの入力端と出力端との間に介挿された受信キャパシタ201と、準備期間毎に信号線の電圧を所定の電圧に設定するようにインバータの入力端と出力端とを短絡させるイコライズスイッチ204と、各伝送期間ではインバータの出力端の電圧を論理増幅して出力デジタル信号を供給し、かつ各準備期間では出力を保持するラッチ310とを有する。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000005821]

1. 変更年月日	1990年 8月28日
[変更理由]	新規登録
住 所	大阪府門真市大字門真1006番地
氏 名	松下電器産業株式会社